

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-087849

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H01S 3/18

H01L 31/02

(21)Application number : 09-237012

(71)Applicant : NEC CORP

(22)Date of filing : 02.09.1997

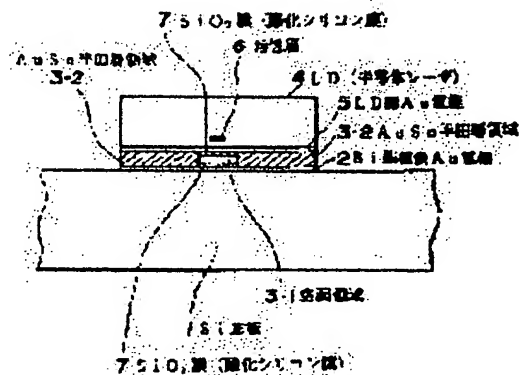
(72)Inventor : HONMO HIROSHI

(54) MOUNTING STRUCTURE OF OPTICAL ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique with which the internal stress generated on the active layer and the absorption layer of an optical element can be made small, reliability can be improved and the integration and the miniaturization of this mounting structure can be accomplished.

SOLUTION: An electrode 5 of an LD 4 of an optical element is connected to the electrode 2 on an Si substrate through a solder layer 3-2. At this point, the cavity region 3-1 located under the active layer 6 of the LD 4 forms a space by eliminating process of solder junction, and its outside makes a solder layer region 3-2. As the cavity region 3-1 directly under the active layer becomes free of stress as it is a space. Accordingly, the internal stress of the active layer 6 located directly under the cavity region 3-1 can be alleviated when compared with the conventional structure wherein the cavity region 3-1 is not provided. As a result, the reliability of the optical element can be improved.



LEGAL STATUS

[Date of request for examination] 02.09.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3139423

[Date of registration] 15.12.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-87849

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 31/02

H 0 1 L 31/02

B

審査請求 有 請求項の数 8 O L (全 4 頁)

(21) 出願番号 特願平9-237012

(22) 出願日 平成9年(1997) 9月2日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 本望 宏

東京都港区芝五丁目7番1号日本電気株式会社内

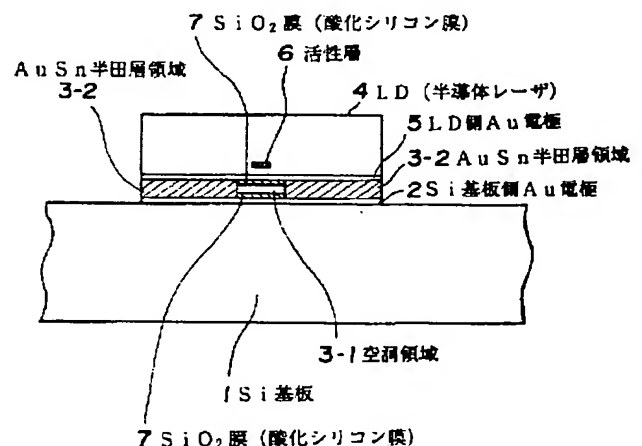
(74) 代理人 弁理士 堀 城之

(54) 【発明の名称】 光素子の実装構造

(57) 【要約】

【課題】 光素子の活性層や吸収層に発生する内部応力を小さくして信頼性の向上を図り、加えて集積化、小型化に寄与できる技術を提供する。

【解決手段】 S i 基板上の電極2に半田層3-2を介して光素子であるLD4の電極5が接合されている。ここで、LD4の活性層6下の空洞領域3-1は、半田接合せず空間となっており、その外側は半田層領域3-2となっている。このような構成で、活性層真下の空洞領域3-1では、空間であるため応力フリーとなる。このため、その真下にある活性層は、空洞領域3-1を設けない従来の構造に比べ内部応力が緩和される。これにより光素子の信頼性が向上する。



【特許請求の範囲】

【請求項 1】 実装基板の電極面上に半田を介して光素子の電極面が接合されている光素子の実装構造において、前記半田層部分のうち、前記光素子の活性層又は吸収層に近い部分の半田層内に、半田の無い空洞領域を設けてあることを特徴とする光素子の実装構造。

【請求項 2】 前記空洞領域が、前記半田層に沿って延びていることを特徴とする請求項 1 に記載の光素子の実装構造。

【請求項 3】 前記空洞領域が、前記活性層または吸収層の領域よりも広いことを特徴とする請求項 1 又は 2 に記載の光素子の実装構造。

【請求項 4】 前記空洞領域が、前記活性層又は吸収層の真下部分に位置していることを特徴とする請求項 1 ～ 3 の何れかに記載の光素子の実装構造。

【請求項 5】 前記実装基板の電極面又は光素子の電極面の、前記空洞領域に対応する部分に酸化膜を設けたことを特徴とする、請求項 1 ～ 4 に記載の光素子の実装構造。

【請求項 6】 前記光素子が発光素子である、請求項 1 ～ 5 に記載の光素子の実装構造。

【請求項 7】 前記光素子が受光素子である、請求項 1 ～ 5 に記載の光素子の実装構造。

【請求項 8】 前記実装基板が Si 基板である、請求項 1 ～ 7 に記載の光素子の実装構造。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、半導体レーザやフォトダイオードなどの光素子を実装する光素子の実装構造に関する。

【0002】

【従来技術】 光ファイバなどの光伝送路と発光素子である半導体レーザ (LD) や受光素子であるフォトダイオード (PD) などの光素子を光結合させた光通信の光モジュールは、光通信システムを構成する上で重要なデバイスの 1 つである。

【0003】 一般に、光モジュール内の光素子の実装構造は、Si 基板などの光実装基板に半田を用いて接合されている。このような構造は、(1995 年電子情報通信学会エレクトロニクスソサイアティ大会講演集、蔵田他「表面実装型光モジュールの開発」講演番号 SC-1-12) に記されている。

【0004】

【発明が解決しようとする課題】 Si 基板などの光実装基板に半田を用いて接合されている光素子は、光素子と実装基板との熱膨張係数の違いにより、半田接合後の光素子の活性層や吸収層に内部応力が残留する。このため、光素子が短命となり、光モジュールの信頼性を低下させる。特に、LD が並列につながっている多チャンネルのアレイ LD 等のアレイ光素子においては、単チャン

ネルの光素子に比べ、熱収縮量が大きい内部応力が大きく、更なる信頼性低下が懸念されていた。

【0005】 本発明は、以上のような点を考慮してなされたもので、光素子の活性層や吸収層に発生する内部応力を小さくして信頼性の向上を図り、加えて集積化、小型化に寄与できる技術を提供することを目的とする。

【0006】

【課題を解決するための手段】 前記課題を解決するため、本発明では、実装基板の電極面上に半田を介して光素子の電極面が接合されている光素子の実装構造において、半田層部分のうち、光素子の活性層又は吸収層に近い部分の半田層内に、半田の無い空洞領域を設け構成とした。その場合、空洞領域は、半田層に沿って延びている構成とするのが好ましい。また、この空洞領域については、活性層または吸収層の領域よりも広くするほど好適である。また、空洞領域は、活性層又は吸収層の真下部分に位置している構成とするのも好適である。さらに、実装基板の電極面又は光素子の電極面の、空洞領域に対応する部分に酸化膜を設けた構成とすることもできる。光素子としては、発光素子や受光素子などに適用することもできる。また、実装基板としては、Si 基板に適用することもできる。

【0007】

【発明の実施の形態】 以下、本発明の好適な実施の形態について図面を参照して説明する。図 1 は、本発明の実施の形態を示す概略断面図である。本構成は、Si (シリコン) 基板 1 上の電極 2 に半田を介して光素子である半導体レーザ (LD) 4 の電極 5 が接合されている。ここで、電極 5 は、活性層 6 側の電極面である。また、LD 4 の活性層 6 下の空洞領域 3-1 は、半田が無い空間となっており、その外側 (周囲) は半田接合されている半田層領域 3-2 となっている。

【0008】 このような構成により、活性層 6 の真下の空洞領域 3-1 では、空間であるため応力フリーとなる。このため、半田接合後に於いて、空洞領域 3-1 の真上にある活性層 6 は、空洞領域 3-1 を設けない従来構造に比べ内部応力が緩和される。

【0009】

【実施例】 次に、本発明の具体的な実施例について、図 1 を参照しながら説明する。ここで、LD 4 は、共振器長 $200\mu\text{m}$ 、幅 $250\mu\text{m}$ 、厚さ $100\mu\text{m}$ の端面発光型の InP 系の半導体レーザで、活性層側の Au 電極 5 が AuSn 半田を介して Si 基板 1 上の Au 電極 2 に接合されている。活性層は幅 $1\mu\text{m}$ 、厚さ $0.2\mu\text{m}$ で、Au 電極 2 及び 5 の厚さは $1\mu\text{m}$ 、AuSn 半田層の厚さは $2\mu\text{m}$ 、空洞領域 3-1 の幅は $60\mu\text{m}$ である。空洞領域 3-1 の Au 電極 2 及び 5 の表面には、AuSn 半田が接合しないように、厚さ $0.1\mu\text{m}$ の酸化膜である SiO_2 膜 7 が形成されている。

【0010】 図 2 に空洞領域 3-1 の幅 W と、半田接合

後の活性層 6 に発生する内部応力との関係を示す。空洞領域 3-1 の幅 W がゼロ、すなわち従来のように空洞領域 3-1 を設けない場合には、活性層 6 の応力は大きい。空洞領域 3-1 幅 W が広くなるに従い、応力は緩和されるのが分かる。

【0011】本実施例の空洞領域幅 W が $60\mu\text{m}$ の場合、応力は従来の約 $1/4$ に低減されている。これは、活性層 6 の真下の空洞領域 3-1 では、空間であるため応力フリーとなる。このため、空洞領域 3-1 の真上にある活性層は、半田接合後に於いて、空洞領域 3-1 を設けない従来の構造に比べ内部応力が緩和される。これにより、本発明の光実装構造は、光素子の信頼性が向上する。

【0012】ここで、活性層 6 の真下に空洞領域 3-1 を設けた場合、活性層 6 で発生する熱は空洞領域 3-1 で流れを妨げられ、放熱が悪くなることが懸念される。しかしながら、空洞領域 3-1 の厚さが薄いため、熱は空洞領域 3-1 でも遜色無く流れ、放熱上特に問題とならない。

【0013】また、図 2 は、空洞領域幅 W と活性層 6 の応力の関係を示したが、受光素子等の吸収層の応力と空洞領域幅 W との関係でも同様な傾向がある。すなわち、受光素子の吸収層の真下の半田接合に空洞領域を設けることにより、吸収層の応力は緩和され、受光素子の信頼性が向上する。

【0014】尚、本実施例では、LD 4 の活性層側の面、すなわち LD 4 の半田接合面を平坦としたが、これに限定されず、例えば LD 4 の特性改善のためメサ構造にしても良く、実施例で示したように半田接合部に空洞領域を設ければ本発明の効果は失われない。

【0015】また、本実施例では、空洞領域内に AuSn 半田が流れ込まない様に厚さ $0.1\mu\text{m}$ の SiO_2 膜 7 を LD 4 側電極 5 と Si 基板 1 側電極 2 の両方に設けたが、これに限定されず、例えば、酸化膜を電極 5 と電極 2 のどちらか一方に設けて、一方の電極のみに半田を接合させた空洞領域を設けても良い。

【0016】また、本実施例では空洞領域幅 W を $60\mu\text{m}$ としたが、これに限定されず、許容応力値と必要接合強度等から空洞領域幅 W を任意に設定して良い。また、本実施例では、単チャンネルの LD を用いたが、集積化に有利な多数個の LD が並列になったアレイ LD でも良く、例えば各チャンネル LD 毎に活性層下の半田接合部に空洞領域を設けても良い。

【0017】また更に、光素子として LD を用いたが、

これに限定されず、端面入射型の導波路型 PD 受光素子、分布帰還型半導体レーザ (DFB-LD)、半導体光アンプ、アレイ光素子等の他の光素子でも良く、例えば端面入射型の導波路型 PD 受光素子の場合には、吸収層の真下の半田接合部に空洞領域を設ければ良い。

【0018】また、分布帰還型半導体レーザの場合には、活性層に回折格子が形成されているため、活性層下に空洞領域を設けることにより、活性層の信頼性向上ばかりではなく、内部応力による回折格子の特性不安定さが低減され、安定な発振特性が得られる。

【0019】

【発明の効果】光素子の活性層または吸収層の真下の空洞領域は、半田の無い空間となっており、その外側は半田接合領域となっている。この構成で、活性層真下の空洞領域では、空間であるため応力フリーとなる。このため、その真上にある活性層または吸収層は、空洞領域を設けない従来の構造に比べ内部応力が緩和され、光素子の信頼性が向上する。

【0020】また本発明は、多数個の光素子が並列になったアレイ光素子にも適用可能なため、集積化、小型化された高信頼の光モジュールが実現できる。また、光素子の活性層または吸収層側を実装基板に接合可能なため、更には高さ位置規定の台座を設けることが出来るため、光軸位置調整工数が低減できるパッシブアライメント実装に必須な光素子の高さ位置規定が容易となる。これにより、工数低減による低価格が容易な、高信頼の光モジュールが実現できる。

【0021】また、更に分布帰還型半導体レーザの場合には、内蔵されている回折格子の内部応力による特性不安定さが低減されるので、低価格で、高性能な DFB-LD 光モジュールが得られる。

【図面の簡単な説明】

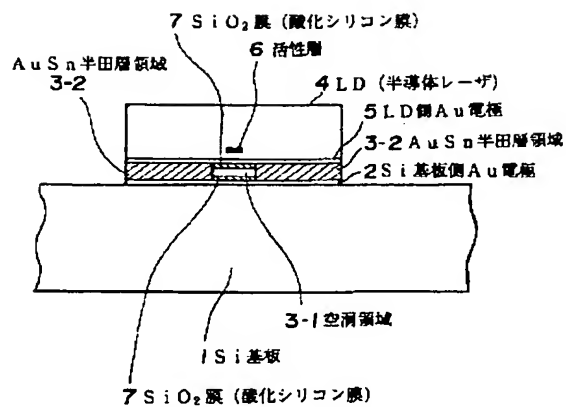
【図 1】本発明の一実施例を示す概略図である。

【図 2】空洞領域の幅 W と、活性層の内部応力の関係を示す特性図である。

【符号の説明】

- 1 Si 基板
- 2 Si 基板側 Au 電極
- 3-1 空洞領域
- 3-2 AuSn 半田層領域
- 4 LD (半導体レーザ)
- 5 LD 側 Au 電極
- 6 活性層
- 7 SiO_2 膜 (酸化シリコン膜)

【図 1】



【図 2】

